



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re Patent Application of: )  
MAGNAVACCA ET AL. )

Serial No. 10/727,150 )  
Confirmation No: 5303 )  
Filing Date: DECEMBER 3, 2003 )

For: MEMORY DEVICE COMPOSED OF A )  
PLURALITY OF MEMORY CHIPS IN )  
A SINGLE PACKAGE )

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of the  
priority Italian Application No. VA2002 A 000067.

Respectfully submitted,

PAUL J. DITMYER  
Reg. No. 40,455  
Allen, Dyer, Doppelt, Milbrath  
& Gilchrist, P.A.  
255 S. Orange Avenue, Suite 1401  
Post Office Box 3791  
Orlando, Florida 32802  
Telephone: 407/841-2330  
Fax: 407/841-2343  
Attorney for Applicant

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being  
deposited with the United States Postal Service as first class  
mail in an envelope addressed to: COMMISSIONER FOR PATENTS,  
P.O. BOX 1450, ALEXANDRIA, VA 22313-1450, on this 9<sup>th</sup> day of  
March, 2004.



*Ministero delle Attività Produttive*  
*Direzione Generale per lo Sviluppo Produttivo e la Competitività*  
*Ufficio Italiano Brevetti e Marchi*  
*Ufficio G2*

Autenticazione di copia di documenti relativi alla domanda di brevetto per: **Invenzione Industriale**

N. VA2002 A 000067



*Si dichiara che l'unita copia è conforme ai documenti originali  
depositati con la domanda di brevetto sopraspecificata, i cui dati  
risultano dall'accluso processo verbale di deposito.*

29 DIC. 2003

Roma, li .....

IL DIRIGENTE

D.ssa Maria Luisa FOCA'

*Maria Luisa Foca'*

## AL MINISTERO DELL'INDUSTRIA DEL COMMERCIO E DELL'ARTIGIANATO

MODULO A

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITA' AL PUBBLICO



## A. RICHIEDENTE (I)

1) Denominazione STMicroelectronics S.r.l. codice 00951900968  
Residenza Agrate Brianza (MI)  
2) Denominazione \_\_\_\_\_ codice \_\_\_\_\_  
Residenza \_\_\_\_\_

## B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome e nome Barbaro Gaetano ed altri cod. fiscale \_\_\_\_\_  
denominazione studio di appartenenza SOCIETA' ITALIANA BREVETTI S.p.A.  
via Piazza Repubblica n. 5 città VARESE cap 21100 (prov) VA

## C. DOMICILIO ELETTIVO destinatario

via \_\_\_\_\_ n. \_\_\_\_\_ città \_\_\_\_\_ cap \_\_\_\_\_ (prov) \_\_\_\_\_

classe proposta (sez/cl/scl) \_\_\_\_\_ gruppo/sottogruppo \_\_\_\_\_ / \_\_\_\_\_

## D. TITOLO

DISPOSITIVO DI MEMORIA COMPOSTO DA PIÙ MEMORIE IN UN UNICO PACKAGE

ANTICIPATA ACCESSIBILITA' AL PUBBLICO: SI ☐ NO ☒

SE ISTANZA: DATA \_\_\_\_/\_\_\_\_/\_\_\_\_ N. PROTOCOLLO \_\_\_\_\_

## E. INVENTORI DESIGNATI

cognome nome

cognome nome

1) MAGNAVACCA Alessandro 3) MASTROIANNI Francesco  
2) BELLINI Andrea 4) DEFENDI Marco

## F. PRIORITA'

nazione o organizzazione	tipo di priorità	numero di domanda	data di deposito	allegato S/R	SCIoglimento RISERVE Data	N° Protocollo
1) _____	_____	_____	____/____/____	_____	____/____/____	_____
2) _____	_____	_____	____/____/____	_____	____/____/____	_____

## G. CENTRO ABILITATO DI RACCOLTA CULTURE DI MICRORGANISMI, denominazione

## H. ANNOTAZIONI SPECIALI

## DOCUMENTAZIONE ALLEGATA

N. es.

Doc.	N. es.	PROV	n. pag.	11	riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare)
Doc. 1)	2	PROV	n. pag.	11	
Doc. 2)	2	PROV	n. tav.	4	disegno (obbligatorio se citato in descrizione, 1 esemplare)
Doc. 3)	1	RIS			lettera d'incarico
Doc. 4)	0	RIS			designazione inventore
Doc. 5)	0	RIS			documenti di priorità con traduzione in italiano
Doc. 6)	0	RIS			autorizzazione o atto di cessione
Doc. 7)	0				nominativo completo del richiedente

8) attestati di versamento, totale lire CENTOOTTANTOTTO/51 obbligatorio

COMPILATO IL 04 / 12 / 2002

FIRMA DEL (I) RICHIEDENTE (I)

Il Mandatario

Gaetano BARBARO

N° Iscr. Albo 994 B

CONTINUA (SI/NO) NO

DEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA (SI/NO) SI

CAMERA DI COMMERCIO INDUSTRIA ARTIGIANATO E AGRICOLTURA DI \_\_\_\_\_

VARESEcodice 12

VERBALE DI DEPOSITO

NUMERO DI DOMANDA

VA/2002/A/0067

Reg. A

L'anno duemiladue, il giorno QUATTRO del mese di DICEMBRE  
Il (I) richiedente (I) sopraindicato (I) ha (hanno) presentato a me sottoscritto la presente domanda, corredata di n. 00 fogli aggiuntivi per la concessione del brevetto sopraportato.

ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE NESSUNA

LUISELLA NERO  
IL DEPOSITANTE

LUISA DE VORZI  
L'UFFICIALE ROGANTE



RIASSUNTO INVENZIONE CON DISEGNO PRINCIPALE

NUMERO DOMANDA

VAI 2002 / AI 00067

REG. A

DATA DI DEPOSITO

04 DIC. 2002

NUMERO BREVETTO

DATA DI RILASCIO

A. RICHIEDENTE (I)

Denominazione

STMicroelectronics S.r.l.

Residenza

Agrate Brianza (MI)

D. TITOLO

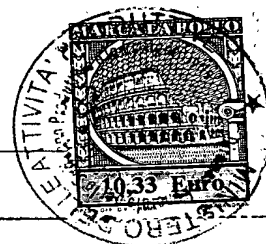
DISPOSITIVO DI MEMORIA COMPOSTO DA PIÙ MEMORIE IN UN UNICO PACKAGE

Classe proposta (sez./cl./scl/)

(gruppo/sottogruppo)

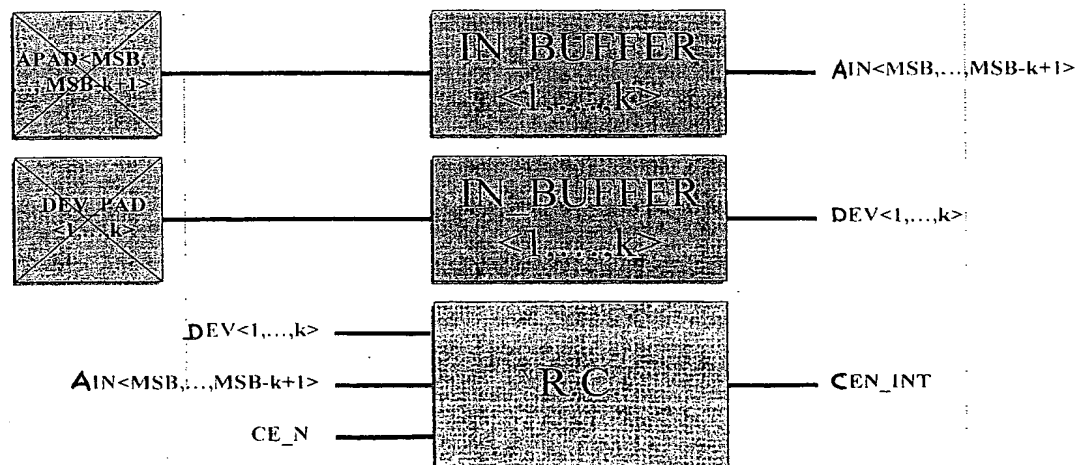
L. RIASSUNTO

Un dispositivo di memoria ad alta capacità comprendente una pluralità di memorie di una certa capacità in un unico package con piedinatura di ingresso/uscita condivisa dalle distinte memorie individualmente attivabili mediante rispettivi comandi esterni di abilitazione coerentemente alla posizione di memorie indirizzata dall'esterno, utilizza un unico comando esterno di attivazione/disattivazione dell'intero dispositivo applicato attraverso un unico piedino. Ciascuna memoria ha un numero di piazzuole di ingresso aggiuntive uguale a  $2^n$ , dove  $2^n$  è pari al numero di memorie che compongono il dispositivo, ed un circuito di generazione di un comando interno di attivazione/disattivazione della stessa memoria, ricevente in ingresso segnali logici corrispondenti a quelli presenti sulle piazzuole aggiuntive e detto comando unico esterno di attivazione/disattivazione e generante in uscita il comando interno di attivazione/disattivazione della memoria.



M. DISEGNO

FIG. 2



*Titolare: STMicroelectronics S.r.l.*

**“DISPOSITIVO DI MEMORIA COMPOSTO DA PIÙ MEMORIE IN  
UN UNICO PACKAGE”**

Il presente trovato concerne in generale le memorie e più in particolare un dispositivo di memoria ad alta capacità comprendente una pluralità di memorie ciascuna di una certa capacità, montate in un unico package con piedinatura di ingresso/uscita condivisa dalle distinte memorie, le quali sono individualmente attivabili da rispettivi comandi esterni.

Per realizzare un dispositivo di memoria ad alta densità, ad esempio da 128Mbit, un approccio possibile è quello di assemblare all'interno di un unico package più dispositivi di memoria (chip) con una certa capacità, ad esempio due memorie da 64Mbit ciascuna. Il risultante dispositivo avrà una capacità di immagazzinamento di dati pari alla somma delle capacità delle singole memorie. Il vantaggio di questa soluzione sta nel fatto che non è necessario riprogettare un nuovo dispositivo integrato.

Questa soluzione è largamente utilizzata dai produttori di memorie. Per semplicità di esposizione, verrà descritto il caso di assemblaggio di due memorie (twin stacked).

Un dispositivo cosiddetto “twin stacked” è fabbricato assemblando due memorie, tipicamente identiche, in un unico package, saldando (bonding) in comune i fili di collegamento alle piazzuole di ingresso/uscita di ciascuna memoria in comune sullo schieramento di piedini di ingresso/uscita del telaio di montaggio del package.

Secondo la tecnica nota, i comandi esterni di attivazione (comunemente noti come chip enable o brevemente CE\_N) sono invece applicati attraverso



piedini distinti per comandare distintamente l'una e l'altra memoria.

In Figura 1 è schematizzata una classica struttura di un dispositivo "twin stacked". I bus degli indirizzi esterni APD e DQPAD e i segnali di controllo OE\_N, WE\_N, RP\_N sono connessi in comune a costituire la piedinatura di ingresso/uscita equivalente del dispositivo. I piedini di CE\_N sono invece multipli, cioè ciascuno dedicato ad una rispettiva memoria, e in base alla configurazione dei segnali logici ad essi applicati sono possibili quattro diverse configurazioni che naturalmente saranno attuate dall'utente attraverso appropriati comandi esterni. L'utente potrà quindi selezionare una o l'altra delle due memorie abbassando il rispettivo comando logico di "chip enable" (CE), oppure porre entrambe le memorie in stand-by forzando entrambi i comandi di "chip enable" ad un livello logico alto.

Naturalmente esiste il problema che entrambi i comandi possono essere accidentalmente abbassati, determinando quindi l'attivazione parallela di entrambe le memorie.

In ogni caso il sistema deve gestire una pluralità di comandi di "chip enable" specifici per le distinte memorie contenute nel dispositivo.

E' stato ora trovato un modo più efficace e meno soggetto a errori di gestione della pluralità di comandi di attivazione delle rispettive memorie per selezionare la memoria a cui un certo comando di lettura e/o cancellazione o scrittura pertiene.

L'intuizione alla base del presente trovato è di utilizzare un unico comando esterno di attivazione (chip enable) applicato attraverso un unico piedino del dispositivo e rendere in tal modo il dispositivo di memorie plurime del tutto simile per l'utente ad una memoria "stand alone" di capacità

04 DIC. 2002



equivalente alla somma delle capacità delle memorie incluse nel dispositivo. Questo importante risultato è conseguito con il solo aggravio di dover realizzare in ciascuna memoria  $2n$  piazzuole di ingresso/uscita aggiuntive dove  $n$  è tale che il valore  $2^n$  è uguale al numero di memorie che compongono il dispositivo ed un circuito di generazione di un comando interno di attivazione/disattivazione della memoria. Il circuito comunemente comprende  $2n$  buffer di ingresso accoppiati rispettivamente alle piazzuole aggiuntive ed un circuito di logica combinatoria ricevente in ingresso i segnali di uscita dei buffer corrispondenti alla logica delle piazzuole aggiuntive e l'unico segnale esterno di attivazione e generante in uscita il comando interno di attivazione/disattivazione della memoria.

In pratica, una o più ( $n$ ) piazzuole aggiuntive di ciascuna memoria è polarizzata in modo fisso (hardwired) in un certo stato logico secondo differenti combinazioni tra le diverse memorie per distinguere le diverse memorie, o al potenziale di massa (GND) o al potenziale di alimentazione (VDD) mentre l'altra o le altre ( $n$ ) piazzuole aggiuntive sono collegate al piedino o ai piedini di ingresso/uscita comprendenti al primo o ai primi bit più significativi del bus degli indirizzi esterni.

La logica combinatoria genera un segnale di attivazione o disattivazione della memoria in funzione della polarizzazione della o delle piazzuole aggiuntive collegate in modo fisso, del bit o dei bit più significativi dell'indirizzo esterno e del valore logico del comando di attivazione esterno.

Alzando il segnale di abilitazione esterno tutte le memorie saranno disattivate (poste in stand-by).

Abbassando il segnale di abilitazione esterno, un'unica memoria tra

04 DIC. 2002

tutte quelle montate all'interno dello stesso dispositivo sarà attivata (selezionata) in base alla configurazione logica delle suddette piazzuole aggiuntive.

Rispetto ai dispositivi noti, l'utente vede a tutti gli effetti un dispositivo di memoria "stand alone" di capacità complessiva corrispondente alla somma delle capacità delle memorie che lo compongono dovendo gestire l'unico comando di attivazione/disabilitazione.

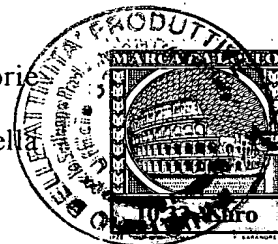
L'invenzione è più precisamente definita nelle annesse rivendicazioni.

La **Figura 1** è uno schema di un dispositivo twin stacked realizzato secondo la tecnica nota;

la **Figura 2** mostra i blocchi funzionali aggiunti a ciascuna memoria secondo la presente invenzione;

la **Figura 3** mostra lo schema di un dispositivo twin stacked realizzato secondo la presente invenzione;

la **Figura 4** mostra un dispositivo realizzato montando quattro memorie in uno stesso package secondo una forma alternativa di realizzazione della presente invenzione.



Con riferimento allo schema della Figura 2, secondo la presente invenzione, in ciascuna delle due memorie DEV#1 e DEV#2 da montarsi all'interno di un unico package per realizzare un dispositivo di capacità doppia, sono realizzate due piazzuole aggiuntive APAD<MSB> e DEV\_PAD, strutturalmente equivalenti alle piazzuole di ingresso/uscita normalmente presenti. Due buffer di ingresso IN\_BUFFER sono funzionalmente accoppiati alle due piazzuole aggiuntive ed un circuito di logica combinatoria R.C. riceve in ingresso le uscite AIN<MSB> e DEV dei



due buffer di ingresso nonché l'unico comando esterno di abilitazione CE\_N e genera in uscita un comando internamente generato CEN\_INT di abilitazione/disattivazione del dispositivo della memoria.

In Figura 3 è mostrato lo schema di un dispositivo twin stacked realizzato secondo la presente invenzione.

La piazzuola aggiuntiva DEV\_PAD della prima memoria DEV#1 è collegata al potenziale di massa del dispositivo mentre la seconda piazzuola DEV\_PAD della seconda memoria DEV#2 è collegata al potenziale di alimentazione, determinando così una distinguibilità logica delle due memorie.

Il bit più significativo del bus esterno degli indirizzi (che risulta aggiunto passando ad una capacità doppia del dispositivo, ad esempio da 64 Mbit a 128 Mbit) è quindi utilizzato per selezionare l'una o l'altra delle due memorie, rese logicamente distinguibili tra loro dalla relativa polarizzazione della piazzuola DEV\_PAD.

A tale scopo, al corrispondente piedino esterno APAD<MSB> del dispositivo sono collegate in comune le piazzuole aggiuntive APAD<MSB> delle due memorie DEV#1 e DEV#2, collegamento che è schematicamente indicato dalle due frecce rivolte verso il piedino di ingresso/uscita corrispondente al bit più significativo APAD<MSB> del bus degli indirizzi esterni del dispositivo (a tale scopo mostrato isolatamente nello schema della figura 2 per facilità di disegno).

Le piazzuole CE\_N destinate all'ingresso del comando di abilitazione/disabilitazione delle due memorie, sono collegate in comune all'unico piedino di ingresso (CE\_N) del dispositivo dedicato al comando di

abilitazione/disabilitazione esterno.

Il circuito R.C. di logica combinatoria, realizzato in ciascuna delle due memorie DEV#1 e DEV#2, genera il comando interno di attivazione/disattivazione CEN\_INT secondo la seguente tabella di elaborazione logica degli stati presenti sulle due piazzuole aggiuntive DEV\_PAD e APAD<MSB> e del comando unificato esterno CE\_N.

	CEN_N	DEV_PAD	APAD<MSB>	CEN_INT
DEV#1	0	0	0	0 (active)
	0	0	1	1 (standby)
DEV#2	0	1	0	1 (standby)
	0	1	1	0 (active)
	1	-	-	1 (standby)

Come si può osservare, alzando il valore logico dell'unico comando esterno di abilitazione CE\_N, si determina la condizione di stand-by di entrambe le memorie e quindi dell'intero dispositivo, mentre abbassando il valore logico a zero il dispositivo visto dall'utente risulta a tutti gli effetti una memoria "stand alone" di capacità equivalente alla somma delle capacità delle due memorie in esso contenute. A seconda del valore logico di APAD<MSB> funziona infatti solo uno dei due dispositivi.

Naturalmente l'approccio dell'invenzione è estendibile anche a dispositivi contenenti un numero maggiore di memorie.

Il caso di un dispositivo realizzato montando assieme all'interno di un unico contenitore quattro memorie DEV#1, DEV#2, DEV#3 e DEV#4 è schematicamente illustrato in Figura 4, ad esempio per costituire una memoria da 256 Mbit utilizzando quattro memorie da 64 Mbit ciascuna.

In questo caso occorrerà realizzare quattro piazzuole aggiuntive aumentando di due bit la piedinatura di ingresso/uscita del bus degli indirizzi del dispositivo (aumento ovviamente necessario passando da una memoria di

64 Mbit ad una memoria da 256 Mbit) ed essendo i due bit più significativi <MSB> e <MSB-1> degli indirizzi esterni utilizzati nel dispositivo composito per operare la selezione della memoria a cui l'indirizzo esterno pertiene.

Le due piazzuole aggiuntive DEV\_PAD<1,0> sono configurate in modo differente per le quattro memorie, collegandole entrambe al potenziale di massa o al potenziale di alimentazione o l'una ad un potenziale e l'altra all'altro secondo uno schema di collegamenti come illustrato in Figura 4.

Il circuito a logica combinatoria riceverà in questo caso oltre al comando di abilitazione esterno CE\_N, i quattro valori logici corrispondenti alla configurazione fissa delle due piazzuole DEV\_PAD<1,0> e ai due bit più significativi dell'indirizzo esterno applicati rispettivamente alle altre due piazzuole aggiuntive APAD<MSB,MSB-1>, generando un comando interno di attivazione/disattivazione CEN\_INT secondo la seguente tabella di elaborazione logica.

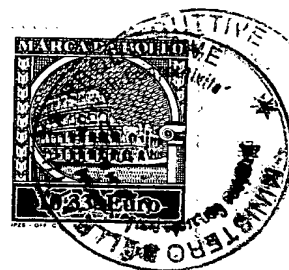
	CEN_N	DEV_PAD<1,0>	APAD<MSB,MSB-1>	CEN_INT
DEV#1	0	0	0	0 (active)
	0	0	0	1 (standby)
	0	0	1	1 (standby)
	0	0	1	1 (standby)
DEV#2	0	0	1	0 (active)
	0	0	1	1 (standby)
	0	0	1	1 (standby)
	0	0	1	1 (standby)
DEV#3	0	1	0	1 (standby)
	0	1	0	1 (standby)
	0	1	0	0 (active)
	0	1	0	1 (standby)
DEV#4	0	1	1	1 (standby)
	0	1	1	1 (standby)
	0	1	1	1 (standby)
	0	1	1	0 (active)
	1	-	-	1 (standby)

0 4 DIC. 2002



Anche in questo caso l'utente osserverà il dispositivo come un qualsiasi dispositivo di memoria "stand alone" di capacità equivalente. L'unico comando esterno di "chip enable" CE\_N opererà l'attivazione o la disattivazione dell'intero dispositivo di memoria mentre i primi due bit della stringa di indirizzo sono sfruttati per operare la selezione della memoria tra le quattro che compongono il dispositivo a cui la posizione di memoria indirizzata pertiene, in modo totalmente inavvertito dall'utente e stabilito dalle polarizzazioni fisse dei nodi DEV\_PAD e della logica combinatoria realizzati su ciascuna delle quattro memorie che compongono il dispositivo.

Gli scopi e i vantaggi in premessa sono pertanto pienamente conseguiti dall'architettura della presente invenzione.



## RIVENDICAZIONI

1. Dispositivo di memoria ad alta capacità comprendente una pluralità di memorie di una certa capacità in un unico package con piedinatura di ingresso/uscita condivisa dalle distinte memorie individualmente attivabili mediante rispettivi comandi esterni di abilitazione coerentemente alla posizione di memorie indirizzata dall'esterno, caratterizzato dal fatto che

il dispositivo utilizza un unico comando esterno di attivazione/disattivazione dell'intero dispositivo applicato attraverso un unico piedino;

ciascuna di dette memorie ha un numero di piazzuole di ingresso aggiuntive uguale a  $2^n$ , dove  $2^n$  è pari al numero di memorie che compongono il dispositivo ed un circuito di generazione di un comando interno di attivazione/disattivazione della stessa memoria, ricevente in ingresso segnali logici corrispondenti a quelli presenti su dette piazzuole aggiuntive e detto comando unico esterno di attivazione/disattivazione e generante in uscita detto comando interno di attivazione/disattivazione della memoria.

2. Dispositivo secondo la rivendicazione 1, caratterizzato dal fatto che una o più di dette piazzuole di ingresso aggiuntive è polarizzata in modo fisso in un certo stato logico tale da distinguere tra loro le diverse memorie componenti il dispositivo mentre l'altra o le altre piazzuole di ingresso aggiuntive sono accoppiate al piedino di ingresso/uscita del dispositivo corrispondente al bit più significativo dell'indirizzo esterno di una posizione di memoria indirizzata o ai piedini di ingresso/uscita corrispondenti ai bit più



significativi dell'indirizzo esterno.

3. Il dispositivo secondo la rivendicazione 1, caratterizzato dal fatto che detto circuito comprende buffer di ingresso funzionalmente accoppiati alle rispettive piazzuole di ingresso aggiuntive ed un circuito a logica combinatoria ricevente in ingresso i segnali di uscita di detti buffer e detto comando unico esterno di attivazione/disattivazione in modo da operare la selezione della memoria alla quale la posizione di memoria indirizzata pertiene in funzione del bit o dei bit più significativi dell'indirizzo esterno e della distinzione tra le diverse memorie stabilite dalla configurazione di dette piazzuole aggiuntive polarizzate in modo fisso in un certo stato logico.

p.p. STMicroelectronics S.r.l.

Il Mandatario Gaetano BARBARO  
**Gaetano BARBARO**  
N° Iscr. Albo 994 B

(Società Italiana Brevetti S.p.A.)

BI342V

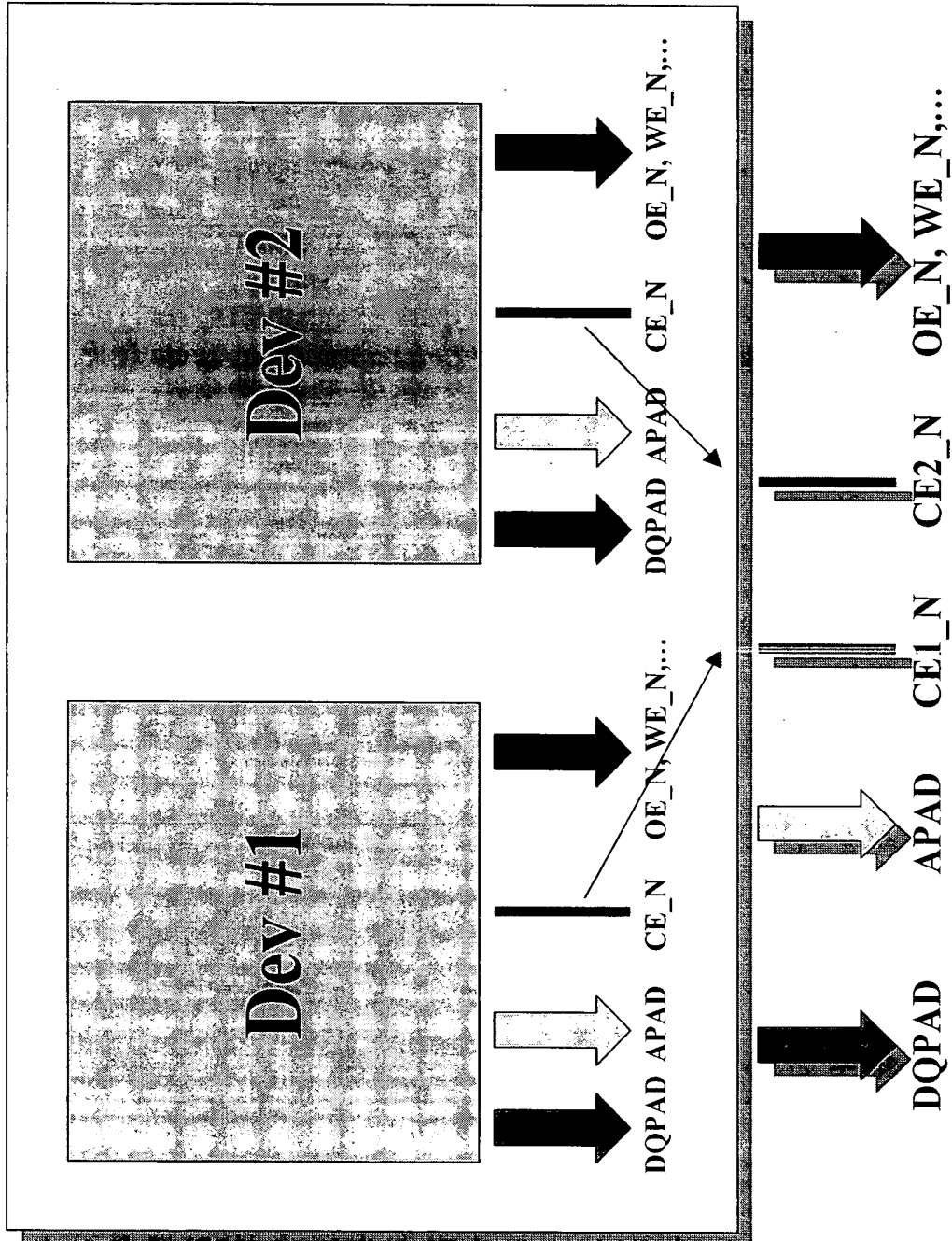


FIG. 1

GAETANO BARBARO  
VARESE  
19/12/02

Gaetano BARBARO  
N° Iscr. Albo 994 B

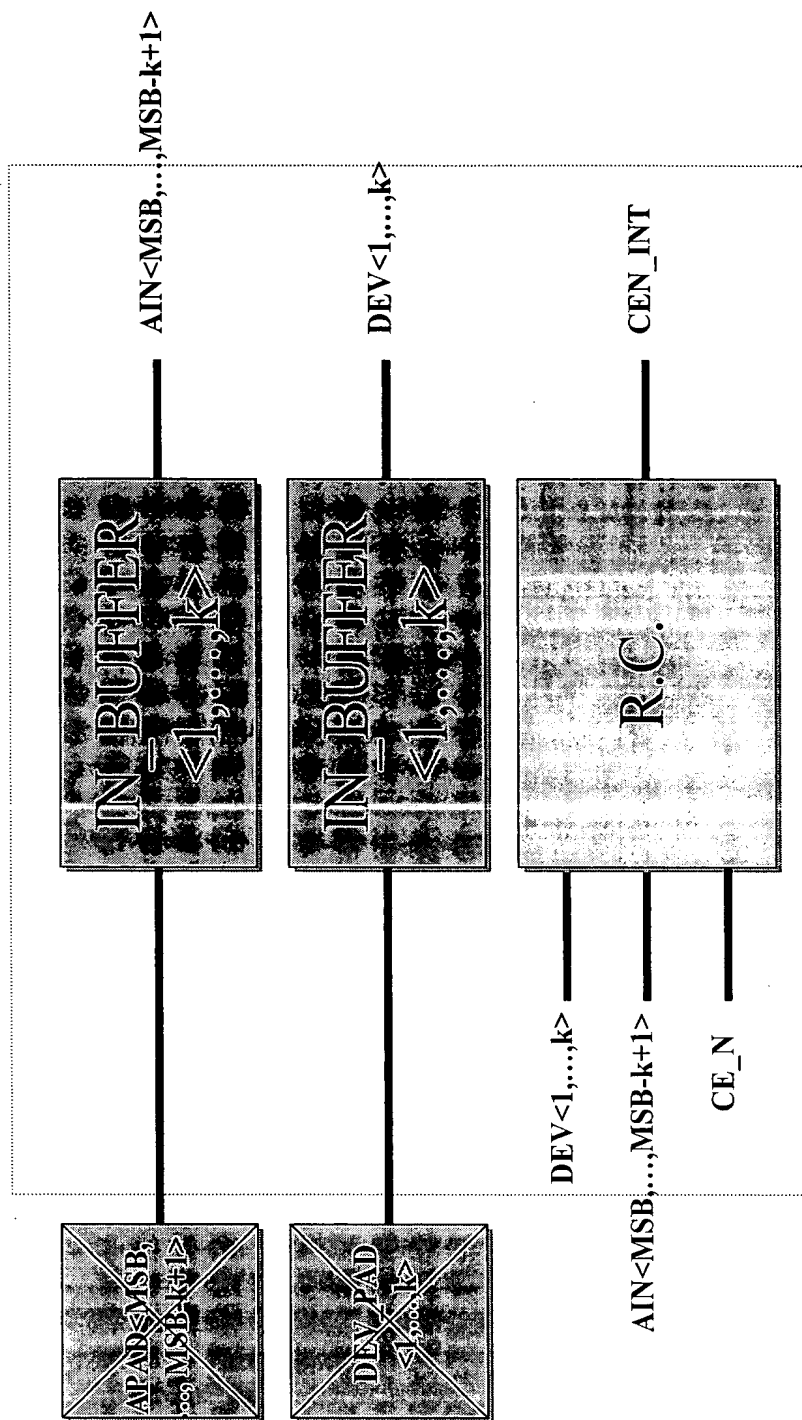
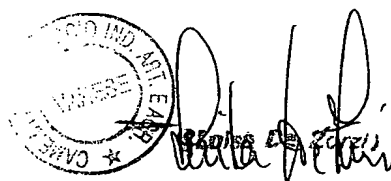


FIG. 2



Gaetano BARBARO  
N° Iscr. Albo 994 B



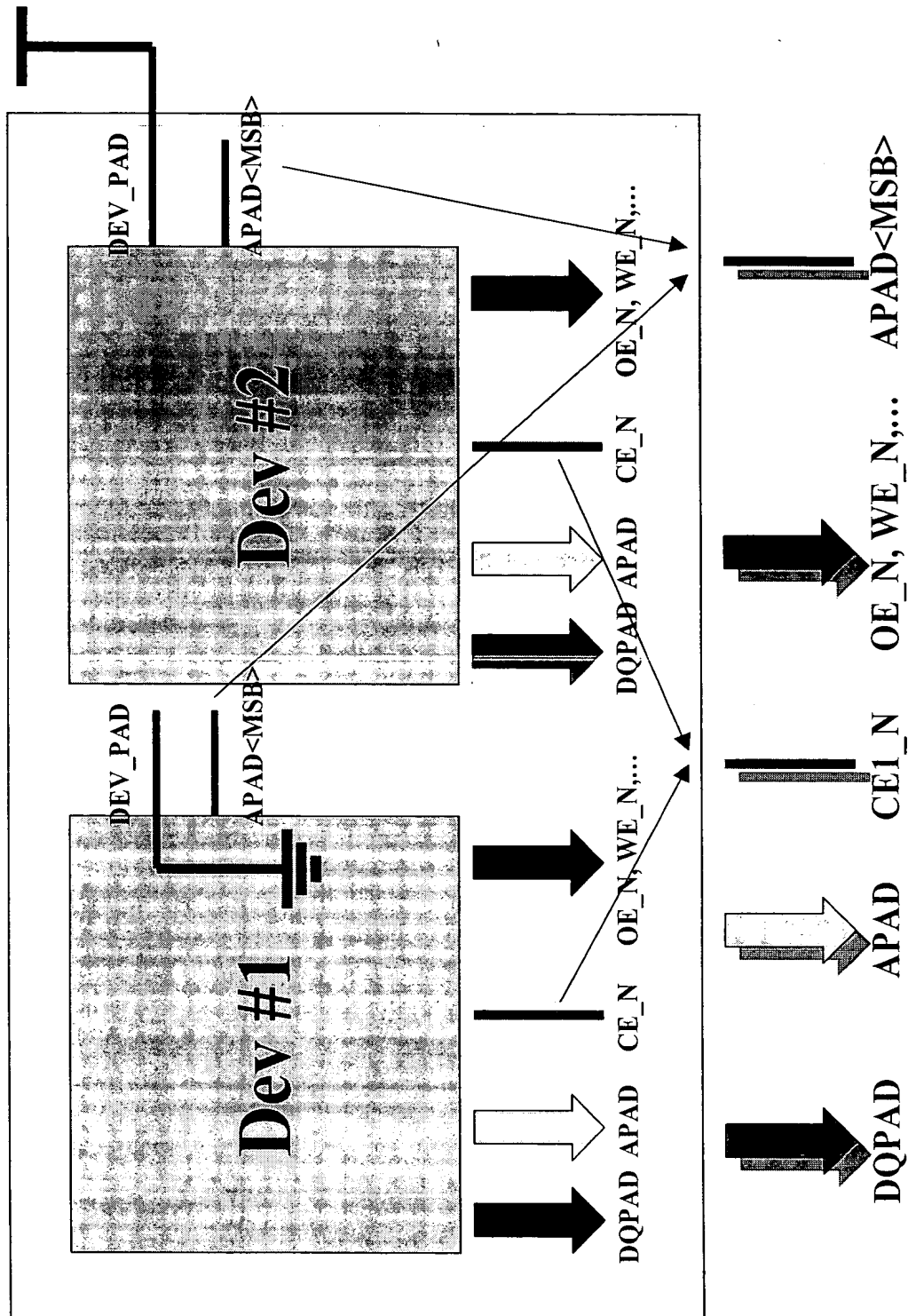


FIG. 3



*Gaetano Barbaro*  
(Luca De Borja)

Gaetano Barbaro  
Gaetano BARBARO  
N° Iscr. Albo 994 B

0 4 DIC. 2002

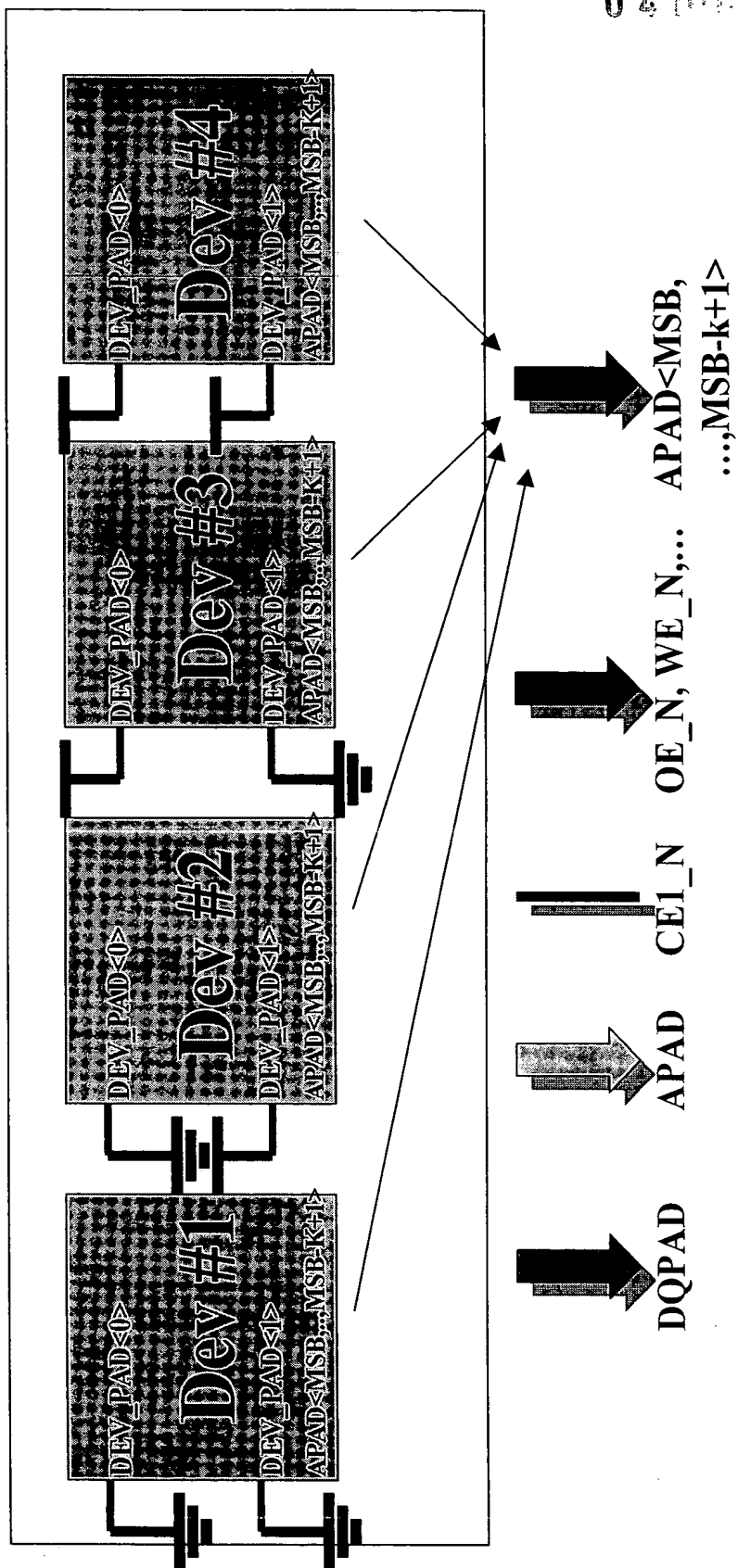


FIG. 4



*Gaetano BARBARO*  
12/10/2002

*Gaetano BARBARO*  
Gaetano BARBARO  
N° Iscr. Albo 994 B